

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.

G02F 1 /136

(21) 출원번호 10-1999-0047296

(22) 출원일자 1999년10월28일

(71) 출원인 엔지 필립스 엘시디 주식회사 구본준

(11) 공개번호

10-2001-0039073

(43) 공개일자

2001년05월15일

(72) 발명자 서울 영등포구 여의도동 20번지
박재덕

경기도안양시동안구비산3동1044-42정우빌라5-202

하용민

(74) 대리인 경기도안양시동안구비산동1102-4관악아파트201동1001호
정원기

심사청구 : 없음

(54) 액정표시장치 및 그 제조방법

요약

본 발명은 액정표시장치의 제조과정에서 정전기로 인한 절연막의 절연파괴에 의하여 게이트금속막과 데이터금속막이 쇼트되는 불량을 마스크공정을 추가하지 않고 방지하는데 목적이 있다. 상기 목적을 달성하기 위한 액정표시장치의 기판 구조는 반도체층 103의 중앙부에 제1절연막 104를 개재하여 형성되는 게이트금속막 105 및 상기 게이트금속막과 이어져 상기 기판 위에 형성되는 연결금속막 126과, 상기 게이트금속막 및 연결금속막을 덮고, 상기 반도체층의 양 사이드의 표면 일부 및 연결금속막의 중앙부가 노출되도록 제1콘택홀 111이 형성된 제2절연막 107과, 상기 반도체층의 양 사이드부의 표면에 형성된 제1콘택홀 111을 통하여 상기 반도체층 103과 접촉되는 상기 제2절연막 위의 데이터금속막 43과, 상기 데이터금속막 및 상기 제2절연막을 덮고, 상기 데이터금속막의 일부 및 상기 연결금속막의 중앙부가 노출되도록 제2콘택홀 112가 형성된 제3절연막 109와, 상기 제2콘택홀을 통하여 상기 제3절연막 위에 형성되는 화소전극 140을 구비하고, 상기 제1콘택홀 111과 제2콘택홀 112에 의하여 노출되는 연결부는 서로 분리되도록 구성된다.

대표도

도11e

명세서

도면의 간단한 설명

도 1은 일반적인 액정표시장치의 구동회로를 나타내는 도면이고,

도 2는 도 1의 회로를 구동하는 구동드라이버의 한예의 회로도를 나타내는 도면이고,

도 3은 액정표시장치의 구동회로를 구성하기 위한 종래의 게이트금속의 패턴형태를 나타내는 평면도이고,

도 4는 액정표시장치의 구동회로를 구성하기 위한 종래의 게이트금속 및 데이터금속 등의 패턴이 형성되어 있는 액정표시장치 기판의 평면도이고,

도 5는 도 4의 I - I' 선을 따라 절단하여 나타내는 단면도이고,

도 6은 도 4의 II - II' 선을 따라 절단하여 나타내는 단면도이고,

도 7a, 도 7b는 종래 액정표시장치 기판의 제조과정에서 발생하는 정전기불량을 설명하기 위한 단면도이고,

도 8은 본 발명의 게이트금속의 패턴형태를 나타내는 평면도이고,

도 9는 본 발명의 게이트금속 및 데이터금속 등의 패턴이 형성되어 있는 액정표시장치 기판의 평면도이고,

도 10a-도 10e는 도 9의 III - III' 선을 따라 절단하여 나타내는 제조공정 단면도이고,

도 11a-도 11e는 도 9의 IV - IV' 선을 따라 절단하여 나타내는 제조공정 단면도이고,

도 12는 본 발명의 핵심구성을 설명하기 위한 단면도이다.

도면의 주요 부분에 대한 부호의 설명

1, 101 - 투명기판

2, 102 - 베퍼층

3, 103 - 반도체층

4, 104 - 제1절연막

5, 105 - 게이트금속막

7, 107 - 제2절연막

8 - 구동드라이버 데이터금속막

9, 109 - 제3절연막

11, 111 - 제1콘택홀

12, 112 - 제2콘택홀

15 - 화소어레이부

16 - 구동드라이버 회로부

17, 117 - 게이트스타트리드선

20, 120 - 게이트버스라인

21 - 게이트구동드라이버

25, 125 - 트랜지스터

30, 130 - 데이터버스라인

31 - 데이터구동드라이버

40, 140 - 화소전극

42, 142 - 구동드라이버 게이트금속막

43 - 데이터금속막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치 기판의 제조과정에서 정전기에 의한 불량을 방지하는 것에 관련된 것이고, 더 상세히는 절연막의 증착과정에서 정전기에 의하여 게이트금속막 및 게이트절연막이 절연파괴되지 않도록 그 게이트금속막의 패턴을 연결하여 구성하고, 그 후에 데이터금속막의 패턴과 ITO막의 패턴을 형성할 때 게이트금속막의 연결부를 분리하여 구성하는 것에 관련된 것이다.

본 발명의 상세한 설명에 앞서, 도 1 ~ 도 7을 참고하여 종래 액정표시장치의 구조 및 제조방법 등을 설명한다.

일반적으로 액정표시장치는 도 1의 회로도에서 알 수 있는 것처럼, 게이트버스라인 20과 데이터버스라인 30이 교차하여 형성되는 영역에 TFT(Thin Film Transistor: 25)가 형성된다. 상기 TFT 25의 출력단자에는 게이트버스라인과 데이터버스라인으로 둘러싸인 영역에 형성되는 화소전극 40이 연결되어 있다.

한편, 상기 게이트버스라인을 구동하기 위한 게이트 구동드라이버 21이 게이트버스라인의 단부들과 접속되고, 상기 데이터버스라인을 구동하기 위한 데이터구동드라이버 31이 데이터버스라인의 단부들과 접속되어 있다.

상기 게이트구동드라이버 및 데이터구동드라이버는 접적기술이 발달함에 따라 기판의 가장자리부에 직접 TFT 등의 소자를 형성하여 구성하는 기술이 이미 제안 되어 있고, 1 라인을 구동하는 구동드라이버 회로의 한 예로써, 도 2와 같은 구조가 알려져 있다.

6개의 TFT가 직렬 및 병렬의 조합에 의하여 구성되는 도 2에 있어서, a단자는 1개의 게이트버스라인에 접촉되는 단자이고, b1,b2,b3,b4,는 그 구동드라이버의 연결단자이다.

상기와 같은 구동드라이버 및 회로를 구비하는 종래의 액정표시장치 기판의 구성방법으로써는 하나의 예로 도 4와 같은 평면 구조가 있다.

상기 액정표시장치 기판은 게이트버스라인 20 및 데이터버스라인 30, 화소전극 40 및 TFT 25 등이 형성된 화소어레이부 15와 구동드라이버 회로부 16을 구비한다. 도면 부호 17은 게이트스타트리드선이다.

이하, 종래 액정표시장치 기판의 제조과정에 대하여 도 4의 I - I' 선을 따라 절단하여 나타내는 도 5와, II - II' 선을 따라 절단하여 나타내는 도 6 등을 참고하여 상세히 설명한다.

먼저, 투명기판 1위에 버퍼층 2를 형성하고, 상기 버퍼층 위에 a-Si층을 섭모양의 패턴으로 형성하여 반도체층 3을 형성한다.

이어서, SiNx,SiOx등으로 이루어진 제1절연막 4와 Cr,Mo,A1 등으로 이루어진 게이트금속막 5를 연속 적층하여 형성한 후, 제1절연막 4와 게이트금속막 5를 같은 패턴형상으로 패터닝한다. 상기 게이트금속막의 일부를 구성하는 게이트전극 20a는 섭모양의 반도체층 3 위에 제1절연막 4를 개재하여 그 반도체층의 폭보다 좁은 폭으로 중앙부분에 형성된다.

특히, 상기 게이트금속막 5의 패턴은 도 3과 같이 게이트버스라인 20 및 게이트전극 20a, 구동드라이버의 게이트금속막 42, 게이트스타트리드선 17 등이 각각 분리되어 형성된다.

이어서, 상기 패터닝된 그 게이트금속막을 마스크로하여 반도체층의 양 사이드 표면에 불순물 이온을 도핑함으로써 오믹 콘택층을 형성한다.

이어서, SiNx, SiOx 등으로 이루어진 제2절연막 7을 도 7a와 같이 증착한다. 상기 제2절연막의 증착공정에서 게이트전극 2a 등을 구성하는 게이트금속막 5가 플로팅되어 있고, 또, 증착장비에서 플라즈마에 노출되기 때문에 각각 분리되어 있는 게이트금속막 즉, 게이트버스라인 20 및 구동드라이버 게이트금속막 42 사이에서 정전기에 의한 전위차가 발생하고, 그 정전기의 전위차에 의하여 제2절연막 4 및 게이트금속막 5 사이에서 절연파괴가 일어날 수 있고, 상기 절연파괴에 의하여 제2절연막 7에는 간극 50이 형성된다.

상기와 같이 제2절연막 7에 간극 50이 형성되어 있는 상태에서 제2절연막 7에 반도체층의 양 사이드 표면을 노출시키기 위한 제1콘택홀 11을 형성하면 그 간극을 통하여 에천트가 침투하여 게이트금속막을 손상시키거나, 도 7b와 같이 제2절연막 위에 데이터금속막 43을 형성하면 간극 50을 통하여 게이트금속막 5와 데이터금속막 43이 쇼트되는 문제점이 발생한다

이어서, 데이터금속막을 소정의 패턴으로 형성하여 데이터버스라인 30 및 소스전극 30a, 드레인전극 30b와 구동드라이버 데이터금속막 8을 형성한다.

상기 데이터금속막의 패턴 형성에 의하여 TFT 25가 액정표시장치 기판의 화소어레이부 15와 구동드라이버 회로부 16에 형성된다.

이어서, SiNx, SiOx 등의 무기절연막 또는 폴리아미드 등의 유기절연막으로 이루어지는 제3절연막 9를 증착하고, 화소어레이부에 구성되어 있는 TFT의 드레인전극 30b의 표면일 부가 노출되도록 제2콘택홀 12를 형성 한 후, ITO(Indium Tin Oxide)막을 제3절연막의 전면에 형성하고, 그 ITO막을 패터닝하여 화소어레이부에 화소전극 40을 형성한다.

즉, 구동드라이버의 회로가 형성되는 액정표시장치 기판의 가장자리부에는 도 6과 같이 TFT가 구성된 후 그 TFT를 덮도록 제3보호막 9가 형성되는 구조이지만, 액정표시장치의 화소어레이부는 도 5와 같이 TFT가 구성된 후 상기 TFT의 드레인 전극과 접촉되는 화소전극 40이 형성된다.

발명이 이루고자하는 기술적 과제

본 발명은 상기와 같은 종래의 액정표시장치의 문제점을 감안하여 안출된 것으로써, 본 발명의 목적은 액정표시장치의 제조 과정에서 정전기에 의한 절연막의 절연파괴를 방지하는 것을 목적으로 한다.

본 발명의 또 다른 목적은 절연막의 절연파괴에 의하여 게이트금속막과 데이터금속막이 쇼트되는 불량을 방지하는데 있다

본 발명의 다른 목적은 절연막의 절연파괴에 의하여 게이트금속막의 손상을 방지하는데 있다.

본 발명의 다른 목적은 절연막이 절연파괴되는 것을 방지하며 동시에 마스크공정의 추가없이 액정표시장치의 제조수율을 향상시키는데 있다.

상기 목적 달성을 위하여 본 발명은 액정표시장치의 기판의 제조공정 중에 제1절연막 위에 플로팅되어 배선형태로 패터닝되는 게이트금속막을 서로 연결하여 패터닝한다.

상기와 같이 게이트금속막을 연결하여 구성함으로써, 그 위에 제2절연막을 증착할 때 발생하는 정전기가 등전위가 되도록 하여 어떤 부분에 상대적으로 높은 전압의 정전기가 인가되지 않도록 한다.

즉, 정전기의 전위차가 발생하지 않도록 하여 제2절연막의 절연파괴가 일어나지 않도록 한다.

상기 절연막의 절연파괴를 방지하면서 마스크공정의 추가 없이 액정표시장치를 제조하기 위해서는 게이트금속막의 패턴의 일부들을 다른막을 패턴할 때 동시에 식각하여 절단해주어야 하므로, 그 게이트금속막의 일부의 식각은 상기 제2절연막을 개재하여 이후에 형성되는 데이터금속막을 패터닝할 때 동시에 식각하여 절단한다.

따라서, 게이트금속막과 데이터금속막 사이에 개재되는 제2절연막에 콘택홀을 형성할 때 게이트금속막을 절단해주어야 할 부분에 동시에 콘택홀을 형성하여야 한다.

상기 데이터금속막을 패터닝할 때 게이트금속막의 절단부가 완전히 커팅되지 않고, 일부가 연결된 상태를 유지할 수 있으므로 게이트금속막의 절단부를 완전히 분리하기 위해서는 데이터금속막 위에 제3절연막을 개재하여 형성되는 IT0막을 패터닝 할 때 다시 한번 게이트금속막의 절단부를 식각한다.

또한, 상기 게이트금속막의 절단부를 쉽게 절단하기 위해서는 절단부의 패턴의 폭이 게이트버스라인 등의 폭보다 좁게 형성되어야 한다.

발명의 구성 및 작용

본 발명은 기판 위에 반도체층을 섬모양으로 형성하는 공정,

상기 반도체층이 형성된 기판 위에 제1절연막과 제1금속막을 적층하고, 상기 제1절연막과 제1금속막을 대략 같은 패턴으로 형성하여 상기 제1금속막을 게이트금속막 및 상기 게이트금속막을 서로 이어주는 연결금속막으로 형성하되, 적어도 상기 게이트금속막의 일부는 상기 제1절연막을 개재하여 상기 반도체층의 중앙부와 중첩되도록 형성하는 공정,

상기 게이트금속막 및 연결금속막을 마스크로 하여 상기 반도체층의 양 사이드 표면에 불순물 이온을 도핑하는 공정,

상기 반도체층에 불순물 이온이 도핑된 기판 위에 제2절연막을 형성하는 공정,

상기 제2절연막에 제1콘택홀을 형성하여 상기 불순물 이온이 도핑된 반도체층의 양 사이드 표면이 노출되고, 상기 연결금속막의 일부표면이 노출되도록 형성하는 공정,

상기 제1콘택홀이 형성된 기판 위에 제2금속막을 형성한 후 식각하여 상기 이온이 도핑된 반도체막과 접촉되는 데이터금속막의 패턴을 형성하고, 동시에 상기 연결금속막의 노출부를 식각하여 그 연결금속막을 분리하는 공정,

상기 연결금속막이 분리된 기판 위에 제3절연막을 형성하고, 그 제3절연막에 상기 데이터금속막의 일부 및 그 연결금속막의 분리 영역에 제2콘택홀을 형성하는 공정,

상기 제2콘택홀이 형성된 제3절연막 위에 제3금속막을 형성한 후 식각하여 상기 데이터금속막의 일부와 접촉되는 화소전극의 패턴을 형성하고, 동시에 상기 분리된 연결금속막을 추가로 식각하는 공정을 포함하는 것을 특징으로 한다.

상기와 같은 공정으로 제조되는 액정표시장치의 구조는 반도체층의 중앙부에 제1절연막을 개재하여 형성되는 게이트금속막 및 상기 게이트금속막과 이어져 상기 기판 위에 형성되는 연결금속막과,

상기 게이트금속막 및 연결금속막을 덮고, 상기 반도체층의 양 사이드의 표면 일부 및 연결금속막의 중앙부가 노출되도록 제1콘택홀이 형성된 제2절연막과,

상기 반도체층의 양 사이드부의 표면에 형성된 제1콘택홀을 통하여 상기 반도체층과 접촉되는 상기 제2절연막 위의 데이터금속막과,

상기 데이터금속막 및 상기 제2절연막을 넘고, 상기 데이터금속막의 일부 및 상기 연결금속막의 중앙부가 노출되도록 제2콘택홀이 형성된 제3절연막과,

상기 제2콘택홀을 통하여 상기 제3절연막 위에 형성되는 화소전극을 구비하고,

상기 제1콘택홀과 제2콘택홀에 의하여 노출되는 연결부는 서로 분리되도록 구성되는 것을 특징으로 한다.

특히, 상기 연결금속막의 패턴 폭은 $5\mu m$ 이하의 패턴 폭으로 형성하여 데이터금속막을 식각할 때 쉽게 식각되어 분리되도록 한다.

이하, 도 8, 도 9, 도 10a~도 10e, 도 11a~도 11e 등을 참고하여 본 발명의 액정표시장치의 제조방법 및 구조 작용 등을 상세히 설명한다.

도 8은 본 발명의 게이트금속막의 패턴형태를 나타내는 평면도이고, 도 9는 게이트금속막 및 데이터금속막의 패턴형태를 나타내는 평면도이고, 도 10a~도 10e는 도 9의 III-III' 선을 따라 절단하여 나타내는 제조공정 단면도이고, 도 11a~도 11e는 도 9의 IV-IV' 선을 따라 절단하여 나타내는 제조공정 단면도이다.

먼저, 도 10a 및 도 11a와 같이 투명기판 101위에 버퍼층 102를 형성하고, 상기 버퍼층 위에 a-Si층을 섬모양의 패턴으로 형성하여 반도체층 103을 형성한다.

이어서, 도 10b 및 도 11b와 같이 SiNx, SiOx 등으로 이루어진 제1절연막 104와 Cr, Mo, Al 등으로 이루어진 게이트금속막 105를 연속 적층하여 형성한 후, 제1절연막 104와 게이트금속막 105를 같은 패턴형상으로 패터닝한다. 상기 게이트금속막의 일부를 구성하는 게이트전극 120a는 섬모양의 반도체층 103 위에 제1절연막 104를 개재하여 그 반도체층의 폭보다 좁은 폭으로 중앙부분에 형성된다.

상기 게이트금속막 105의 패턴은 도 8과 같이 게이트버스라인 120 및 게이트전극 120a, 구동드라이버의 게이트금속막 142, 게이트스타트리드선 117 등으로 형성되고, 상기 게이트버스라인 120 및 구동드라이버의 게이트금속막 142, 게이트스타트리드선 117은 연결금속막 126에 의하여 서로 연결되도록 형성된다. 특히, 상기 연결금속막 126은 반도체층을 개재하지 않은 상태로 버퍼층 위에 형성된다.

상기와 같이 게이트금속막을 패터닝 한 후, 게이트금속막을 마스크로하여 상기 반도체층의 양 사이드 표면에 불순물 이온을 도핑함으로써 오믹콘택층을 형성한다.

이어서, 도 10c 및 도 11c와 같이 SiNx, SiOx 등으로 이루어진 제2절연막 107을 증착한 후, 상기 불순물이 도핑된 반도체층의 양 사이드 표면과 연결금속막 126의 중앙부에 제1콘택홀 111을 각각 형성한다.

이어서 도 10d 및 도 11d와 같이 게이트금속막과 동일한 금속막으로 이루어진 데이터금속막을 증착한 후 소정의 패턴으로 형성하여 데이터버스라인 130 및 소스전극 130a, 드레인전극 130b와 구동드라이버 데이터금속막 8을 형성한다. 상기 데이터금속막을 패터닝하는 과정에서 콘택홀 111의 형성에 의하여 노출되는 연결금속막 부분은 데이터금속막의 에칭트에 노출되어 식각됨으로써 양쪽으로 분리되도록 한다. 따라서 상기 연결금속막 위에 형성되는 콘택홀 111의 직경은 연결금속막의 폭보다 더 크게 형성되어야 한다. 상기 연결금속막 126의 폭은 게이트버스라인의 폭보다 좁은 $5\mu m$ 이하의 폭으로 형성하였을 때 불량이 발생하지 않는다.

상기 데이터금속막의 패턴 형성에 의하여 TFT 125가 액정표시장치 기판의 화소어레이부 15와 구동드라이버 회로형성부 16에 각각 형성된다.

상기와 같은 과정을 거쳐 TFT 125를 구성하면 게이트금속막 105가 연결금속막 126으로 모두 연결되어 있는 상태에서 제2

절연막 107이 증착되기 때문에 게이트금속막 즉, 게이트버스라인 120 및 구동드라이버 게이트금속막 142 사이에서 정전기에 의한 전위차가 발생하지 않고, 등전위를 만들어 줌으로 그 제2절연막 107 및 게이트금속막 105 사이에서 절연파괴가 발생하지 않고, 정전기에 의한 불량을 저감할 수 있다.

이어서, 도 10e 및 도 11e와 같이 SiN_x , SiO_x 등의 무기절연막 또는 폴리이미드 등의 유기절연막으로 이루어지는 제3절연막 109를 증착하고, 화소어레이부 15에 구성되어 있는 TFT의 드레인전극 30b의 표면일부 및 구동드라이버 회로형성부 16의 연결금속막 126의 제1콘택홀 111부에 제2콘택홀 112를 형성 한 후, ITO(Indium Tin Oxide)금속막을 제3절연막의 전면에 형성하고, 그 ITO막을 패터닝하여 화소어레이부에 화소전극 140을 형성한다.

상기 화소전극을 형성하는 과정에서 제1콘택홀 111 및 제2콘택홀 112가 형성되어 있는 연결금속막 부분은 ITO화소전극을 패턴하는 에천트에 다시 노출되어 완전히 연결금속막이 양쪽으로 분리되도록 한다. 즉, 데이터금속막을 식각하는 과정에서 연결금속막의 일부가 분리되지 않는 경우에는 ITO막을 식각하는 과정에 연결금속막을 추가 예칭하여 그 연결금속막이 완전히 양쪽으로 분리되어 각각의 게이트버스라인 등이 서로 도통되지 않도록 한다.

따라서, 구동드라이버의 회로가 형성되는 액정표시장치 기판의 가장자리부에는 도 11e와 같이 TFT가 구성된 후 그 TFT를 덮도록 제3보호막 109가 형성되는 구조가 되고, 액정표시장치의 화소어레이부는 도 10e와 같이 TFT가 구성된 후 상기 TFT의 드레인 전극과 접촉되는 화소전극 140이 형성된다.

본 발명을 요약하여 기술하면 도 12와 같이 투명기판 101 위에 제1금속막을 패터닝하여 게이트금속막 105과 상기 게이트금속막을 이어주는 연결금속막 126으로 형성하는 공정.

상기 게이트금속막 및 연결금속막을 포함하여 덮도록 절연막(제2절연막 107)을 형성하고 상기 절연막에 제1콘택홀 111을 형성하여 적어도 상기 연결금속막 126의 표면을 노출시키는 공정과, 상기 제1콘택홀이 형성된 절연막 위에 제2금속막을 형성하고, 그 금속막을 패터닝하여 데이터금속막 43을 형성함과 동시에 그 데이터금속막의 에천트에 의하여 연결금속막 126이 식각되어 1차분리되도록 하는 공정,

상기 데이터금속막 위에 보호절연막 109를 형성하고, 상기 보호절연막에 제2콘택홀 112를 형성하여 상기 데이터금속막의 표면 일부와 상기 연결금속막의 분리된 영역을 노출시키는 공정과, 상기 제2콘택홀이 형성된 보호절연막 위에 제3금속막을 형성하고, 그 금속막을 패터닝하여 데이터금속막과 연결되는 화소전극 140으로 형성함과 동시에 그 화소전극의 에천트로 상기 연결금속막을 2차분리하는 공정을 포함하는 것을 특징으로 한다.

발명의 효과

본 발명은 게이트금속막 105 즉, 게이트버스라인 및 구동드라이버 게이트금속막의 패턴을 연결금속막 126을 이용하여 서로 연결하여 후, 그 게이트금속막 위에 절연막을 증착하고, 상기 절연막 위에 데이터금속막 43을 형성한 후, 그 데이터금속막을 패터닝하는 과정에서 상기 연결금속막 126을 양쪽으로 분리하는 것을 특징으로 한다.

따라서, 절연막의 증착과정에서 게이트금속막에 높은 전압의 정전기가 인가되더라도 연결금속막에 의하여 서로 도통되어 등전위를 구성하고, 정전기에 의한 절연막 등의 절연파괴가 발생하지 않는다.

상기와 같이 액정표시장치의 기판을 구성하는 과정에서 정전기에 의한 절연파괴를 방지함으로써, 종래의 문제점으로 되어 있던 게이트금속막과 데이터금속막의 쇼트가 발생하지 않고, 패턴 불량이 발생하지 않는 효과를 얻을 수 있다.

또, 연결금속막을 데이터금속막과 ITO금속막을 패터닝 할 때 그 에천트에 각각 노출시켜 절단하는 방법을 이용함으로써 마스크 공정의 추가없이 제조공정을 진행할 수 있고, 제조수율이 향상되는 효과를 얻을 수 있다.

(57) 청구의 범위

청구항 1. 반도체층의 중앙부에 제1절연막을 개재하여 형성되는 게이트금속막 및 상기 게이트금속막과 이어져 상기 기판 위에 형성되는 연결금속막과,

상기 게이트금속막 및 연결금속막을 덮고, 상기 반도체층의 양 사이드의 표면일부 및 연결금속막의 중앙부가 노출되도록 제1콘택홀이 형성된 제2절연막과,

상기 반도체층의 양 사이드부의 표면에 형성된 제1콘택홀을 통하여 상기 반도체층과 접촉되는 상기 제2절연막 위의 데이터금속막과,

상기 데이터금속막 및 상기 제2절연막을 덮고, 상기 데이터금속막의 일부 및 상기 연결금속막의 중앙부가 노출되도록 제2콘택홀이 형성된 제3절연막과,

상기 제2콘택홀을 통하여 상기 제3절연막 위에 형성되는 화소전극을 구비하고,

상기 제1콘택홀과 제2콘택홀에 의하여 노출되는 연결부는 서로 분리되도록 구성되는 것을 특징으로 하는 액정표시장치.

청구항 2. 제1항에 있어서,

상기 연결금속막의 패턴 폭은 $5\mu\text{m}$ 이하의 패턴 폭으로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 3. 제1항에 있어서,

상기 게이트금속막과 데이터금속막은 동일한 금속으로 되어 있는 것을 특징으로 하는 액정표시장치.

청구항 4. 제1금속막을 패터닝하여 게이트금속막과 상기 게이트금속막을 이어주는 연결금속막으로 형성하는 공정.

상기 게이트금속막 및 연결금속막을 포함하여 덮도록 절연막을 형성하고 상기 절연막에 제1콘택홀을 형성하여 적어도 상기 연결금속막의 표면을 노출시키는 공정과,

상기 제1콘택홀이 형성된 절연막 위에 제2금속막을 형성하고, 그 금속막을 패터닝하여 데이터금속막으로 형성함과 동시에 그 데이터금속막의 에센트에 의해 연결금속막이 삭각되어 1차분리되도록 하는 공정,

상기 데이터금속막 위에 보호절연막을 형성하고, 상기 보호절연막에 제2콘택홀을 형성하여 상기 데이터금속막의 표면 일부와 상기 연결금속막의 분리된 영역을 노출시키는 공정과,

상기 제2콘택홀이 형성된 보호절연막 위에 제3금속막을 형성하고, 그 금속막을 패터닝하여 데이터금속막과 연결되는 화소전극으로 형성함과 동시에 그 화소전극의 에센트로 연결금속막의 분리부를 2차분리되도록 하는 공정을 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 5. 기판 위에 반도체층을 섬모양으로 형성하는 공정.

상기 반도체층이 형성된 기판 위에 제1절연막과 제1금속막을 적층하고, 상기 제1절연막과 제1금속막을 대략 같은 패턴으

로 형성하여 상기 제1금속막을 게이트금속막 및 상기 게이트금속막을 서로 이어주는 연결금속막으로 형성하되, 적어도 상기 게이트금속막의 일부는 상기 제1절연막을 개재하여 상기 반도체층의 중앙부와 충첩되도록 형성하는 공정,

상기 게이트금속막 및 연결금속막을 마스크로 하여 상기 반도체층의 양 사이드 표면에 불순물 이온을 도핑하는 공정,

상기 반도체층에 불순물 이온이 도핑된 기판 위에 제2절연막을 형성하는 공정,

상기 제2절연막에 제1콘택홀을 형성하여 상기 불순물 이온이 도핑된 반도체층의 양 사이드 표면이 노출되고, 상기 연결금속막의 일부 표면이 노출되도록 형성하는 공정,

상기 제1콘택홀이 형성된 기판 위에 제2금속막을 형성한 후 식각하여 상기 이온이 도핑된 반도체막과 접촉되는 데이터금속막의 패턴을 형성하고, 동시에 상기 연결금속막의 노출부를 식각하여 그 연결금속막을 분리하는 공정,

상기 연결금속막이 분리된 기판 위에 제3절연막을 형성하고, 그 제3절연막에 상기 데이터금속막의 일부 및 그 연결금속막의 분리 영역에 제2콘택홀을 형성하는 공정,

상기 제2콘택홀이 형성된 제3절연막 위에 제3금속막을 형성한 후 식각하여 상기 데이터금속막의 일부와 접촉되는 화소전극의 패턴을 형성하고, 동시에 상기 분리된 연결금속막을 추가로 식각하는 공정을 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 6. 제5항에 있어서,

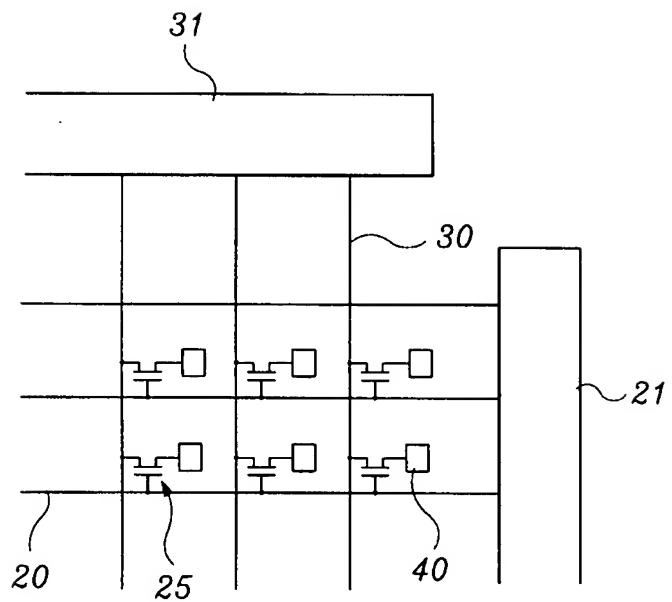
상기 연결금속막의 패턴 폭은 $5\mu\text{m}$ 이하의 패턴 폭으로 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 7. 제5항에 있어서,

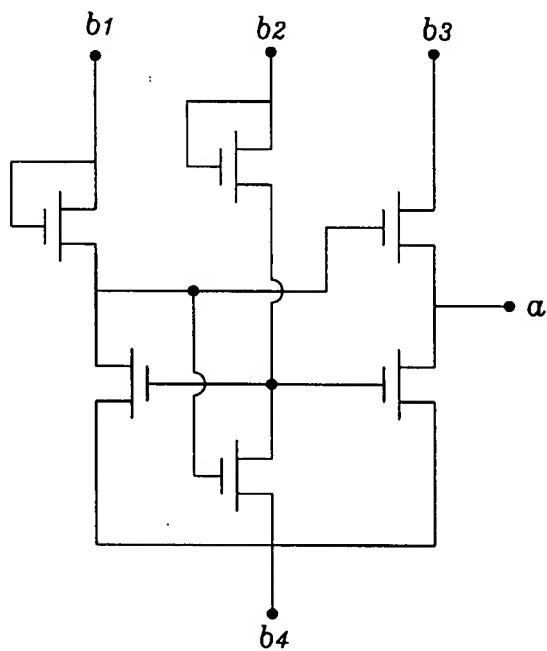
상기 게이트금속막과 데이터금속막은 동일한 금속으로 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

도면

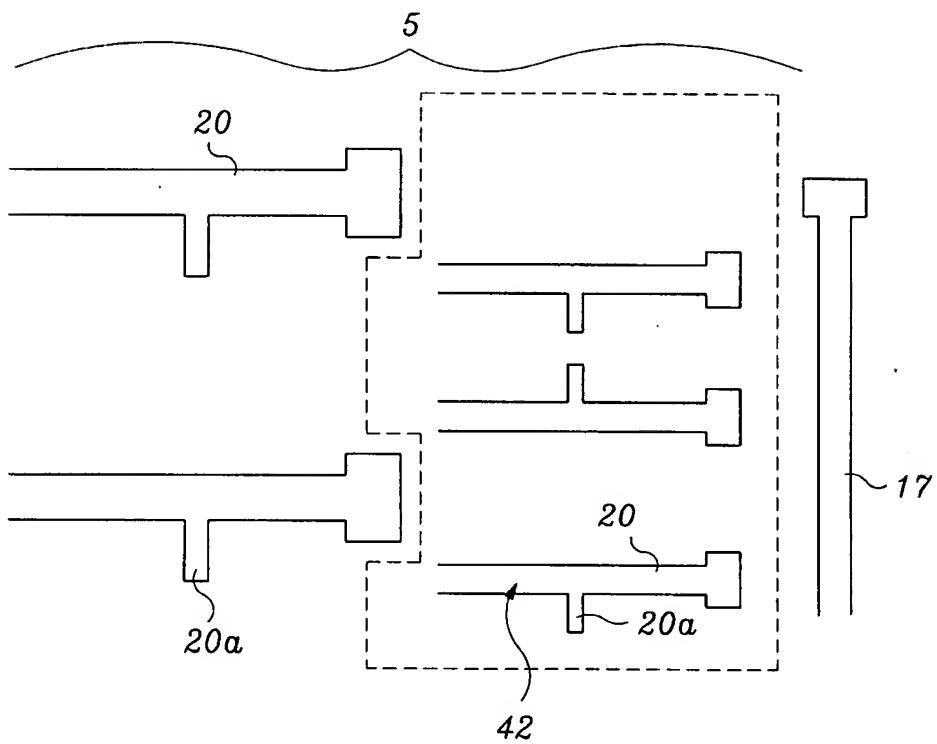
도면I



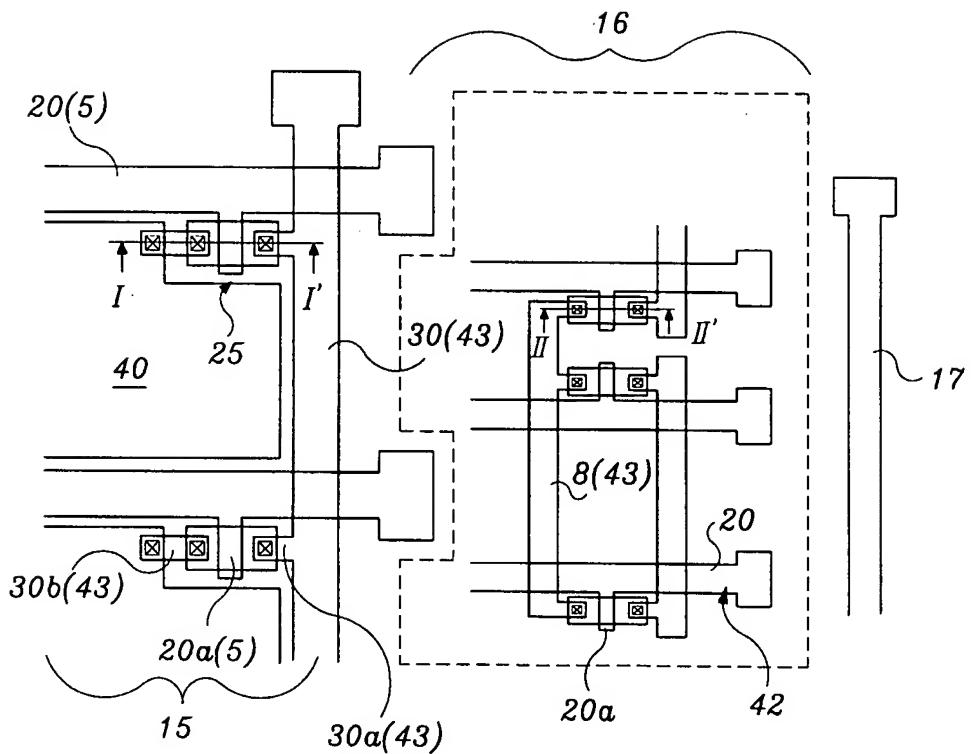
도면2



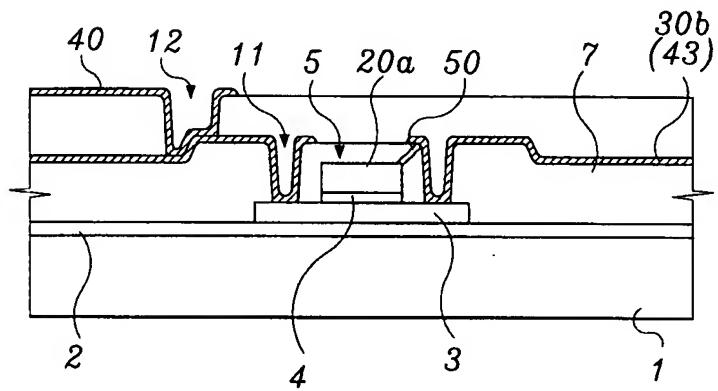
도면3



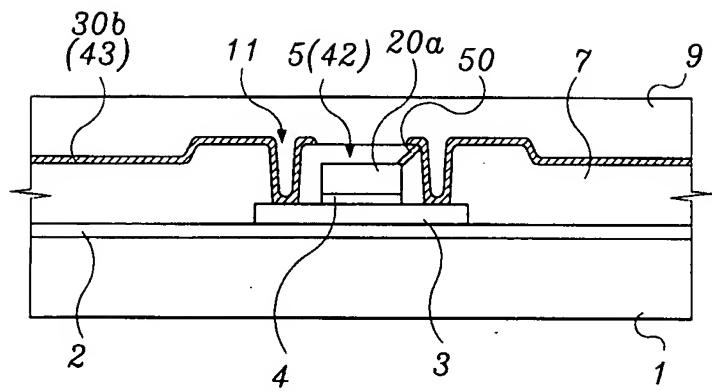
도면4



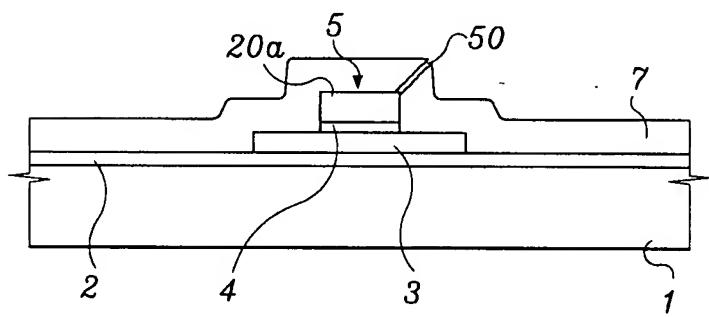
도면5



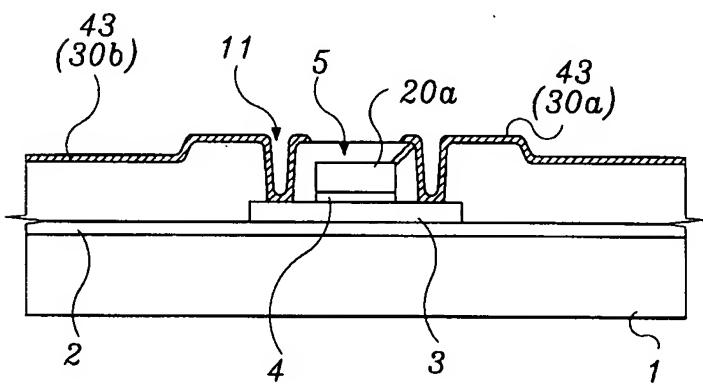
도면6



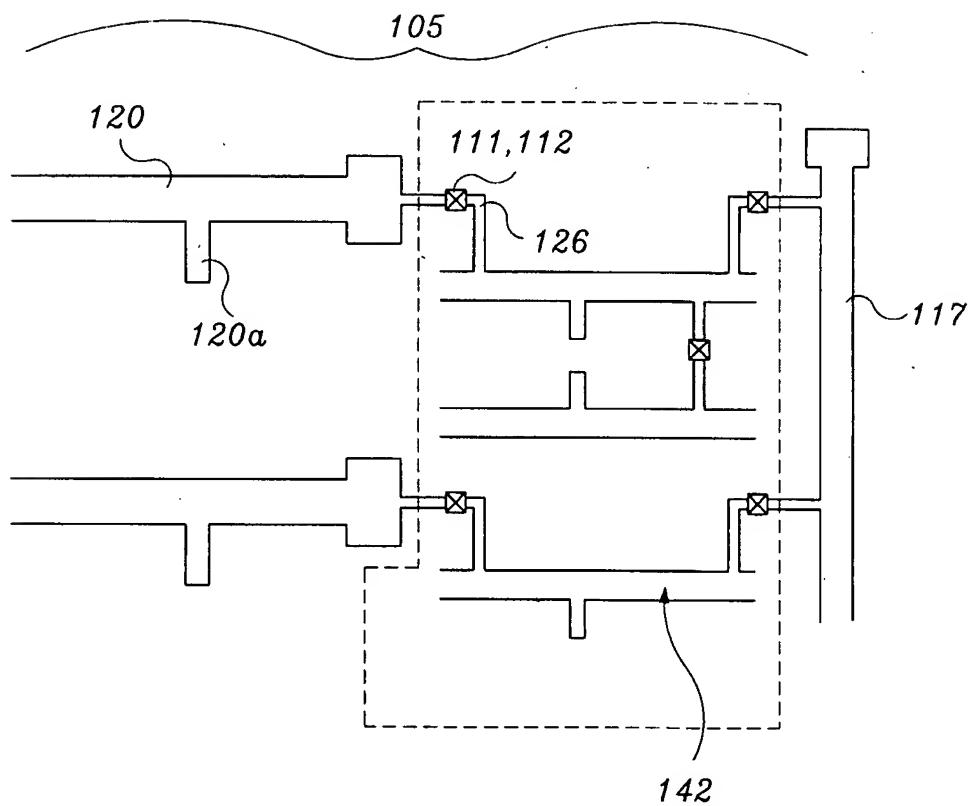
도면 7a



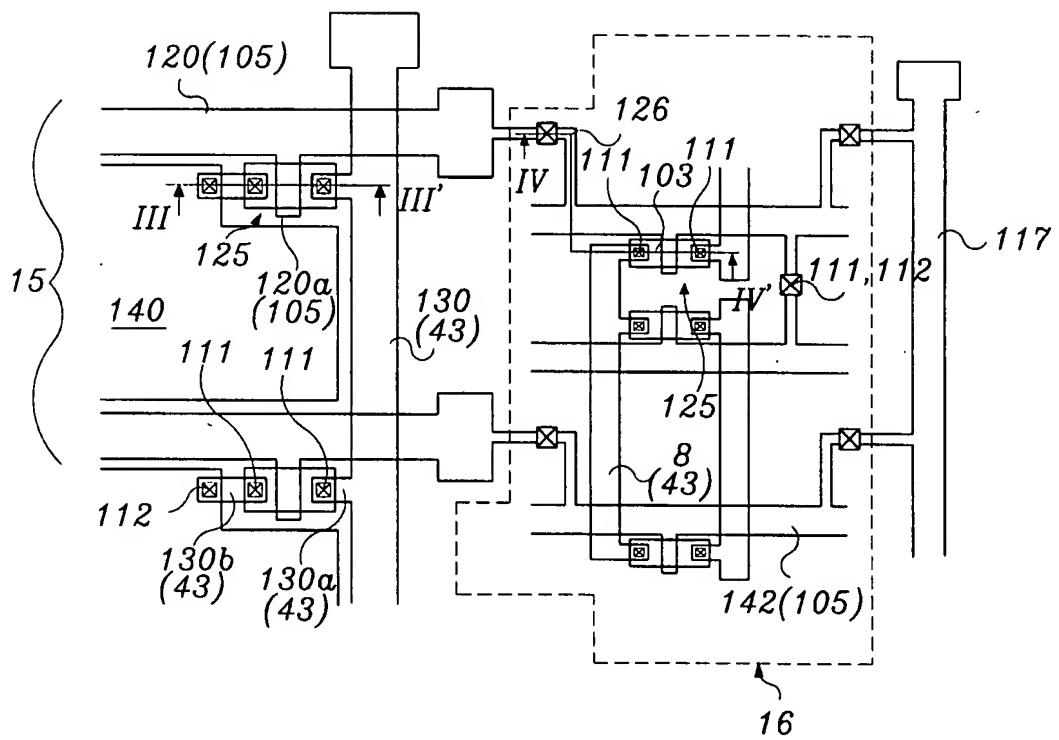
도면 7b



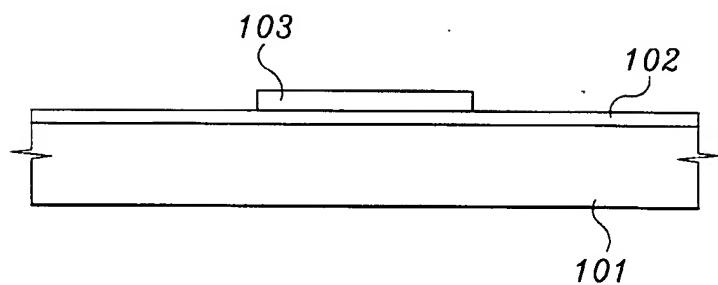
도면8



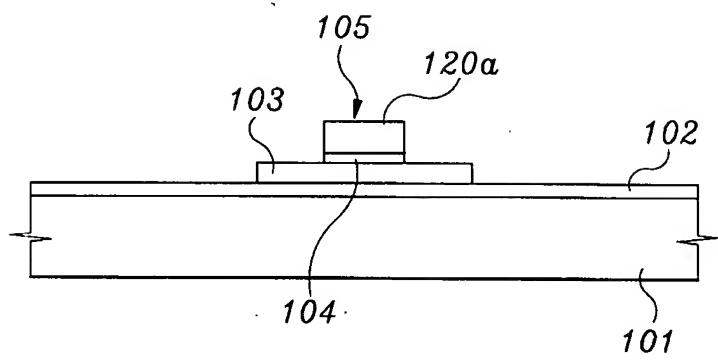
도면9



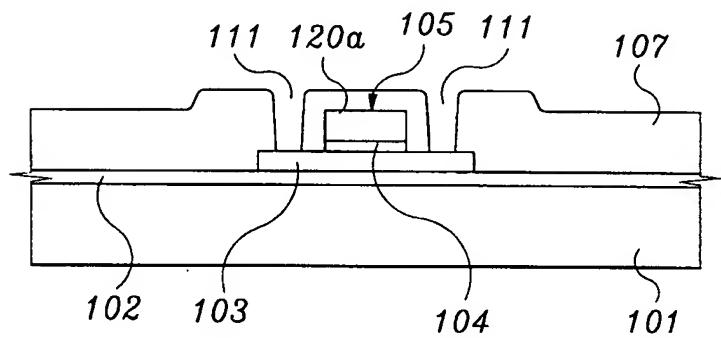
도면 10a



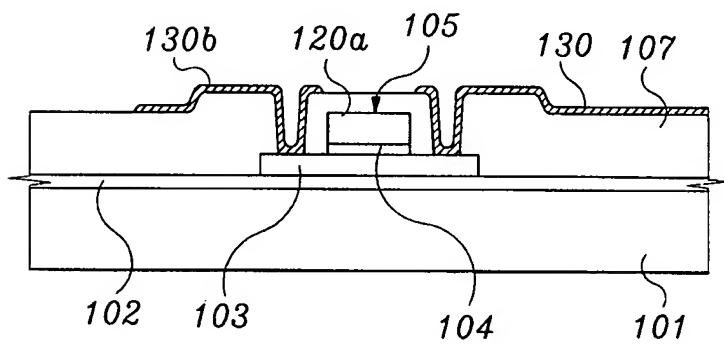
도면 10b



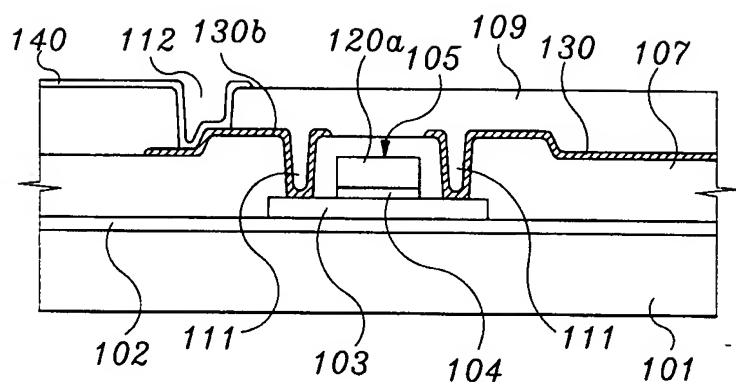
도면 10c



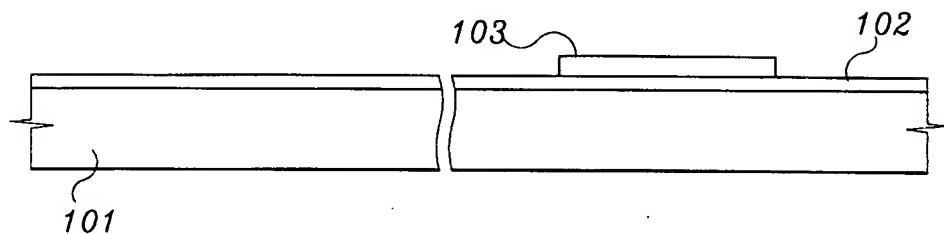
도면 10d



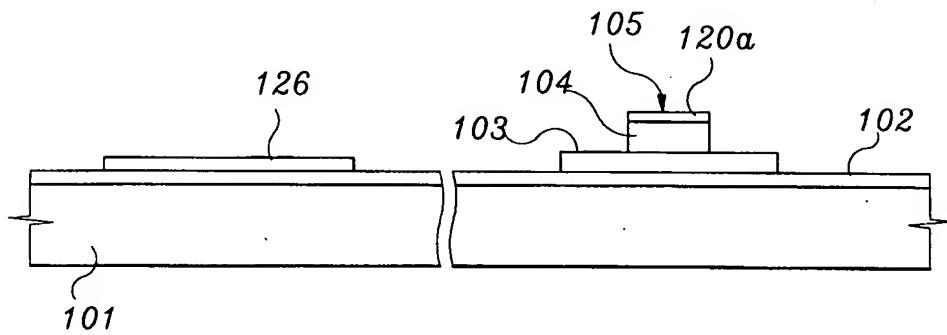
도면IIe



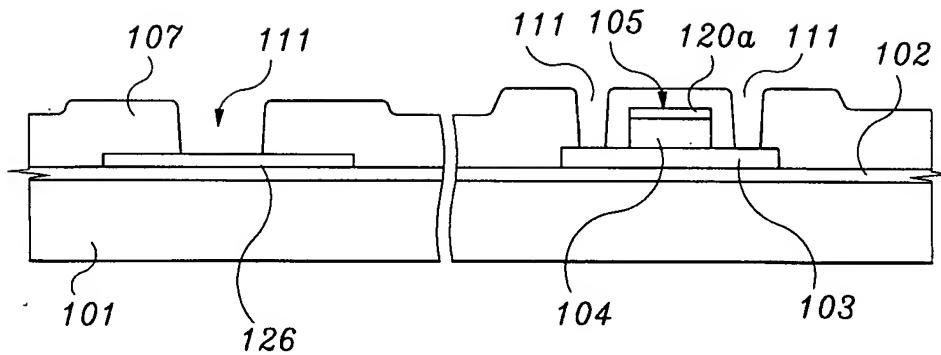
도면IIa



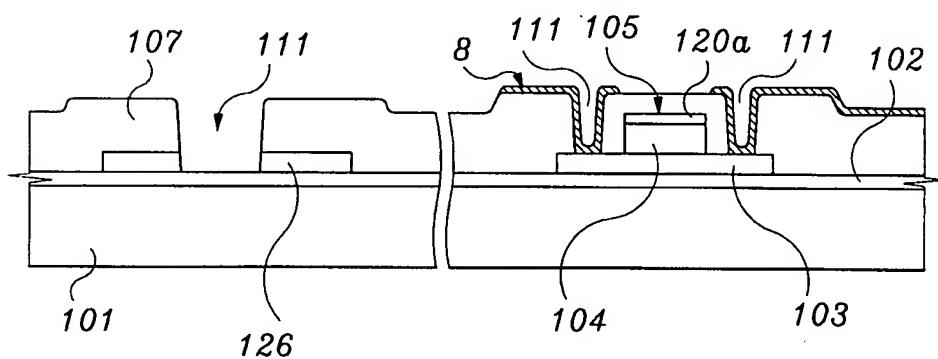
도면IIb



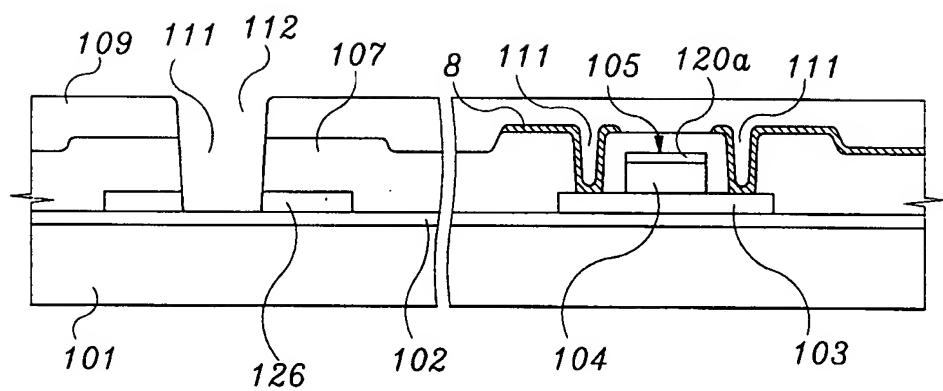
도면IIIc



도면IIId



도면IIIe



도면12

